



GateMate™ FPGA

Overview – Applications – Sales

Agenda



Cologne Chip



GateMate FPGA



Fields of Application



Competition and Sales

Cologne Chip AG

Company overview

Cologne Chip AG – Overview



- Innovative technology company based in the heart of Cologne
- Development at the headquarter, production in cooperation with
 - SHARP
 - SAMSUNG
 - Vanguard (TSMC)
 - Global Foundries
- Excellent delivery times and long product lifetime
- Direct support from our own engineering team
- Over 25 years of quality „Made in Germany“



Our factors of success



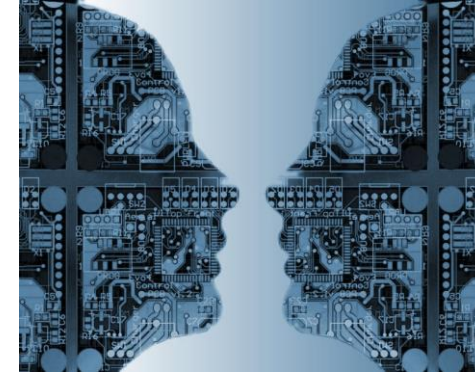
Cost-efficient quality products

Highest efficiency at
lowest cost due to new
architecture of FPGAs



Continuous availability

Secure supply and planning
due to continuous
availability of our products



Individual support

Extensive customer support
in all aspects of the design-
in process

GateMate™ FPGA

The most important features

It is an ASIC, but...

ASIC



FPGA

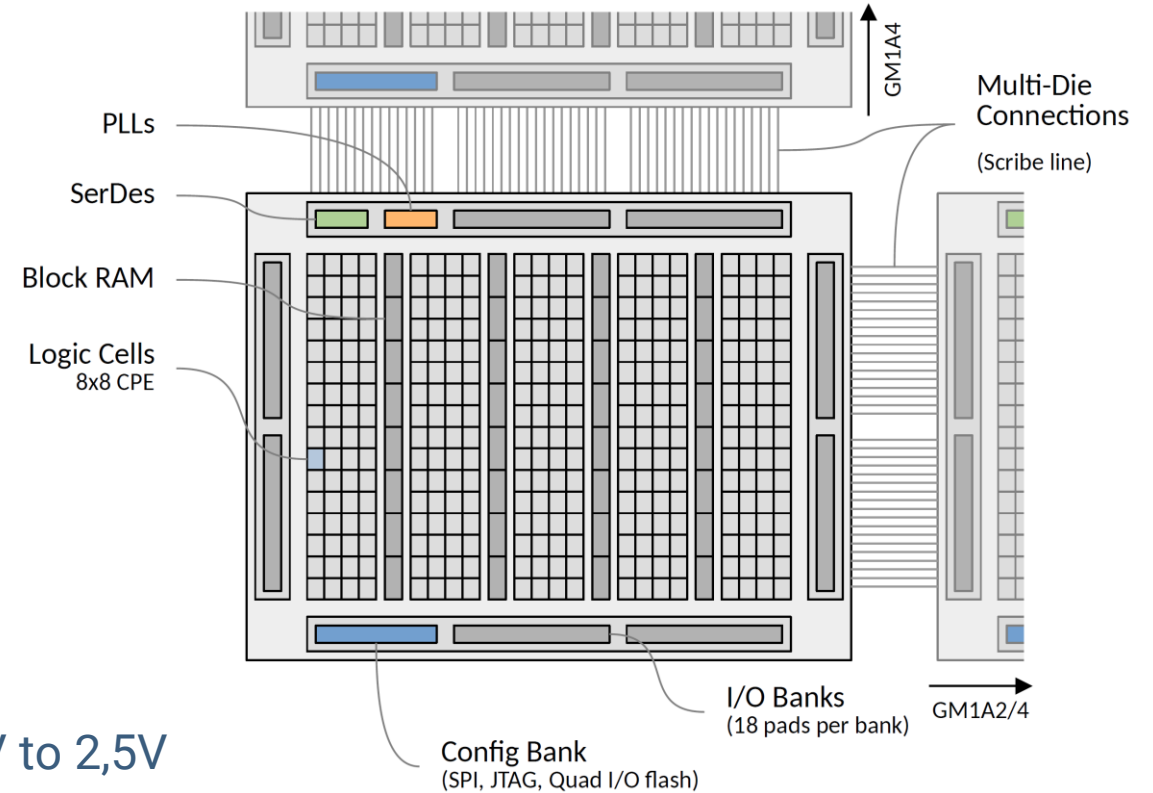
- Fixed circuitry for product's lifespan
- High performance, low power consumption
- High functional density
- Accurate validation required

- Reconfigurable circuitry after manufacturing
- Low performance, higher power consumption
- Typically larger than ASICs
- Comfortable prototyping

GateMate™ FPGA



- Globalfoundries™ 28 nm SLP process
- 20.480 programmable elements per FPGA-die
 - 8 inputs or 2x4 independent inputs + 2 flip-flops
 - 1- or 2-bit full adder or 2x2-bit multiplier
- 32 40KBit RAM cells (Total 1.280 Kbit)
- 4 Clock Generators (PLLs)
- 2,5 Gb/s SerDes Controller
- Core voltage from 0,9V to 1,1V, I/O voltage from 1,2V to 2,5V
- All 162 GPIO configurable as single-ended or LVDS differential pairs with DDR-support
- A1, A2, A4: 324-ball FBGA package (15x15 mm, 0,8 mm pitch)



Feature summary by device

Device	Size	CPEs	FFs	Block RAM		PLLs	SerDes	GPIO		Package
				20K	40K			Single-ended	Diff. Pairs (LVDS)	
CCGM1A1	1	20,480	40,960	64	32	4	1	162	81	324 FBGA 15x15 mm
CCGM1A2	2	40,960	81,920	128	64	8	2	162	81	324 FBGA 15x15 mm
CCGM1A4	4	81,920	163,840	256	128	16	4	154	77	324 FBGA 15x15 mm
...										
CCGM1A25	25	512,000	1,240,000	1600	800	100	25	tba	tba	tba

Cologne Programmable Element

Combinatorial

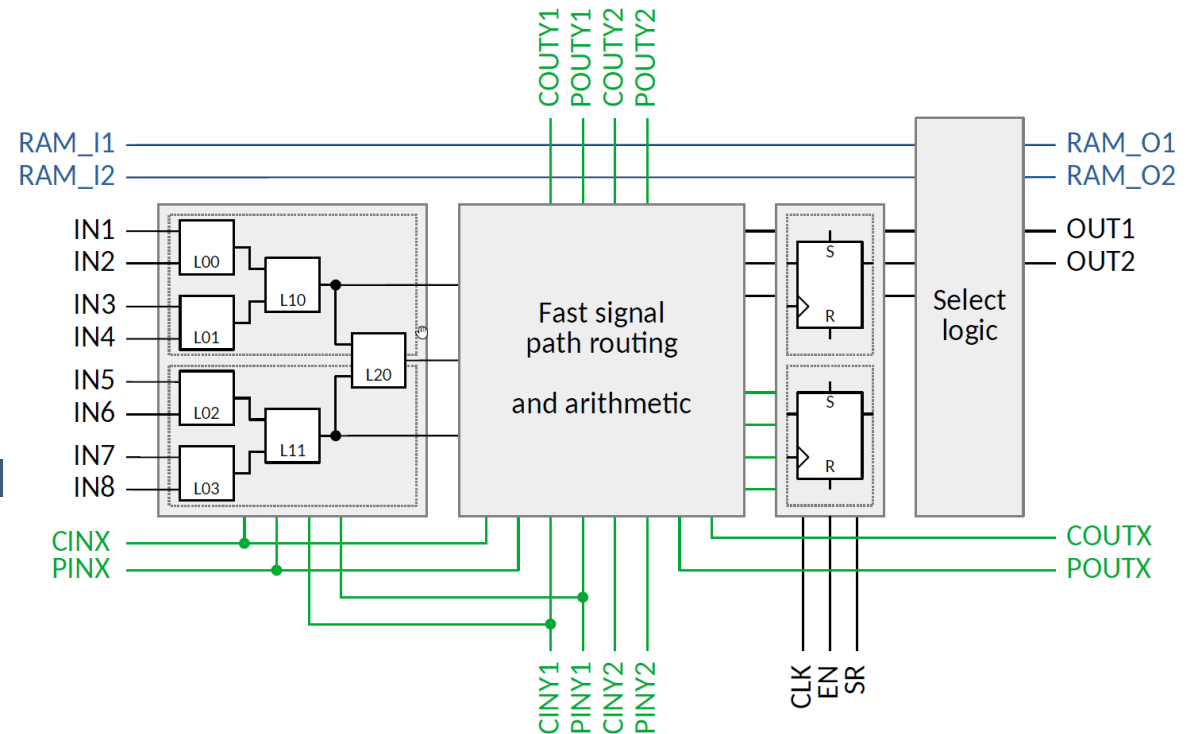
- 8-input function with LUT2-tree
- 2 independent 4-input functions
- 6 inputs for MUX-4 function

Arithmetic

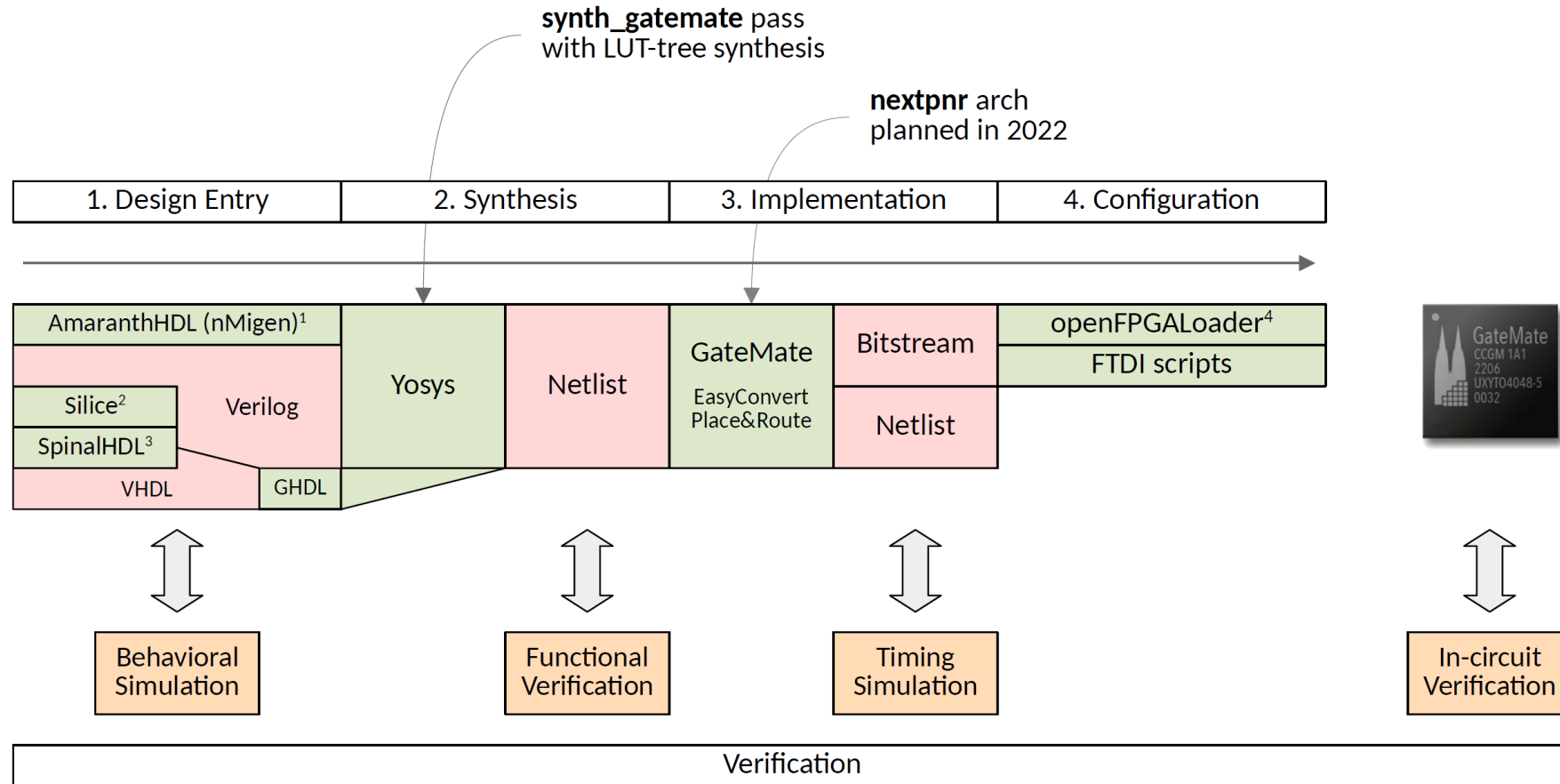
- 1-bit or 2-bit full adder, horizontal or vertical
- 2x2-bit multiplier, expandable to any size

Sequential

- 2 Flip-flops or latches
- 8+3 inputs for MUX-8 function



FPGA Design Flow



[1] <https://github.com/nmigen/nmigen>
 [2] <https://github.com/sylefeb/Silice>
 [3] <https://github.com/SpinalHDL/SpinalHDL>
 [4] <https://github.com/trabucayre/openFPGALoader>

324-BGA Pinout



CCGM1A1

- 0.8 mm Pitch
- Only 2 signal layers required
- Altium + KiCAD footprints available
- Configuration bank switchable to GPIO

N	IO_WB _A0	IO_WB _B0	IO_WA _A8	IO_WA _B8	VDD_WA
P	IO_WA _A7	IO_WA _B7	VDD_WA	GND	VDD_WA
R	IO_WA _A6	IO_WA _B6	IO_WA _A5	IO_WA _B5	IO_WA _A0
T	VDD_WA	IO_WA _A4	IO_WA _B4	GND	IO_WA _B0
U	IO_WA _A3	IO_WA _B3	VDD_WA	IO_WA _A1	IO_SA _A0
V	GND	IO_WA _A2	IO_WA _B2	IO_WA _B1	IO_SA _B0
	1	2	3	4	5



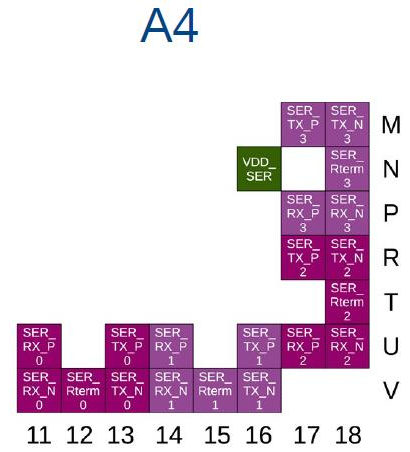
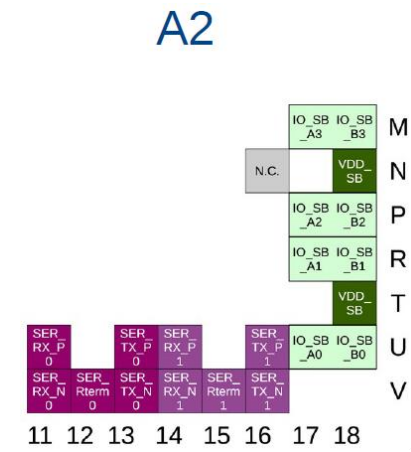
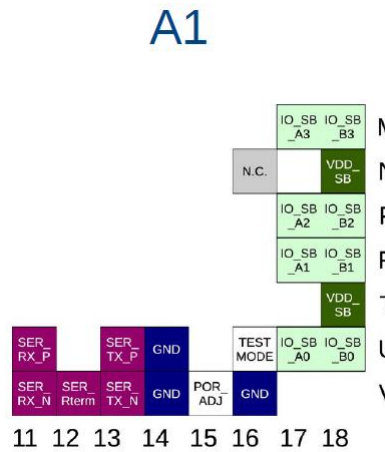
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18		
A	GND	VDD_WC	IO_NA _A0	IO_NA _A1	VDD_NA	IO_NA _A4	GND	IO_NA _A7	IO_NB _B0	GND	IO_NB _B2	IO_NB _B4	GND	IO_NB _B7	IO_EB _B8	VDD_EB	IO_EB _B5	GND	A	
B	IO_WC _A8	IO_WC _B8	IO_NA _B0	IO_NA _B1	IO_NA _A2	IO_NA _B4	VDD_NA	IO_NA _B7	IO_NB _A0	VDD_NB	IO_NB _A2	IO_NB _A4	VDD_NB	IO_NB _A7	IO_EB _A8	GND	IO_EB _A5	VDD_EB	B	
C	GND	VDD_WC	IO_WC _A7	IO_WC _B7	IO_NA _B2	IO_NA _A3	IO_NA _A5	IO_NA _A6	IO_NA _A8	IO_NB _B1	IO_NB _B3	IO_NB _B5	IO_NB _B6	IO_NB _B8	IO_EB _B7	IO_EB _B6	IO_EB _B4	IO_EB _A4	C	
D	IO_WC _A5	IO_WC _B5	IO_WC _A6	IO_WC _B6	VDD_WC	IO_NA _B3	IO_NA _B5	IO_NA _B6	IO_NA _B8	IO_NB _A1	IO_NB _A3	IO_NB _A5	IO_NB _A6	IO_NB _A8	IO_EB _A7	IO_EB _A6	IO_EB _A7	IO_EB _A8	D	
E	IO_WC _A3	IO_WC _B3	IO_WC _A4	IO_WC _B4	GND	VDD_NA	GND	VDD_NA	GND	VDD_NB	GND	VDD_NB	GND	VDD_EB	IO_EB _B3	IO_EB _A3	VDD_EB	GND	E	
F	GND	VDD_WC	IO_WC _A2	IO_WC _B2	VDD_WC	GND	VDD_NA	GND	VDD	GND	VDD_NB	GND	VDD_EB	GND	IO_EB _B1	IO_EB _A1	IO_EB _B0	IO_EB _A0	F	
G	IO_WB _A0	IO_WB _B0	IO_WC _A1	IO_WC _B1	GND	VDD	GND	VDD	GND	VDD	GND	VDD	GND	VDD_EA	IO_EA _B8	IO_EA _A8	IO_EA _B7	IO_EA _A7	G	
H	IO_WB _A7	IO_WB _B7	IO_WB _A8	IO_WB _B8	VDD_WB	GND	VDD	GND	VDD	GND	VDD	GND	VDD	GND	IO_EA _B6	IO_EA _A6	VDD_EA	GND	H	
J	GND	VDD_WB	IO_WB _A6	IO_WB _B6	GND	VDD	GND	VDD	GND	VDD	GND	VDD	GND	VDD_EA	IO_EA _B5	IO_EA _A5	IO_EA _B4	IO_EA _A4	J	
K	IO_WB _A5	IO_WB _B5	IO_WB _A4	IO_WB _B4	VDD_WB	GND	VDD	GND	VDD	GND	VDD	GND	VDD	GND	IO_EA _B3	IO_EA _A3	IO_EA _B2	IO_EA _A2	K	
L	IO_WB _A3	IO_WB _B3	IO_WB _A2	IO_WB _B2	GND	VDD	GND	VDD	GND	VDD	GND	VDD	GND	VDD_EA	IO_EA _B1	IO_EA _A1	VDD_EA	GND	L	
M	GND	VDD_WB	IO_WB _A1	IO_WB _B1	VDD_WB	GND	VDD	GND	VDD	GND	VDD	GND	VDD	GND	IO_EA _B0	IO_EA _A0	GND	IO_SB _A3	IO_SB _B3	M
N	IO_WB _A0	IO_WB _B0	IO_WA _A8	IO_WA _B8	VDD_WA	VDD	GND	VDD	GND	VDD	VDD_SB	GND	VDD_SB	IO_SB _A8	IO_SB _B8	N.C.	GND	VDD_SB	N	
P	IO_WA _A7	IO_WA _B7	VDD_WA	GND	VDD_WA	VDD_SA	GND	VDD_SA	GND	VDD_SA	IO_SB _A4	IO_SB _A7	IO_SB _A6	IO_SB _B6	VDD_PL1	IO_SB _A2	IO_SB _B2	P		
R	IO_WA _A6	IO_WA _B6	IO_WA _A5	IO_WA _B5	IO_WA _A0	IO_SA _A1	IO_SA _A2	IO_SA _A4	IO_SA _A6	IO_SA _A7	IO_SB _B4	GND	IO_SB _A5	IO_SB _B5	VDD_SB	GND	IO_SB _A1	IO_SB _B1	R	
T	VDD_WA	IO_WA _A4	IO_WA _B4	GND	IO_WA _B0	IO_SA _B1	IO_SA _B2	IO_SA _B4	IO_SA _B6	IO_SA _B7	GND	SER_CLK	SER_CLK_N	VDD_CLK	RST_N	VDD_SER_P11	GND	VDD_SB	T	
U	IO_WA _A3	IO_WA _B3	VDD_WA	IO_WA _A1	IO_SA _A0	VDD_SA	IO_SA _A3	IO_SA _A5	VDD_SA	IO_SA _A8	SER_RX_P	VDD_SER	SER_TX_P	GND	GND	TEST MODE	IO_SB _A0	IO_SB _B0	U	
V	GND	IO_WA _A2	IO_WA _B2	IO_WA _B1	IO_SA _B0	GND	IO_SA _B3	IO_SA _B5	GND	IO_SA _B8	SER_RX_N	SER_Rterm	SER_TX_N	GND	POR_ADJ	GND	VDD_SER	GND	V	
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18		

324-BGA Pinout



Pin compatibility

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18		
A	GND	VDD_WC	IO_NA_A0	IO_NA_A1	VDD_NA	IO_NA_A4	GND	IO_NA_A7	IO_NB_B0	GND	IO_NB_B2	IO_NB_B4	GND	IO_NB_B7	IO_EB_B8	VDD_EB	IO_EB_B5	GND	A	
B	IO_WC_B8	IO_WC_B8	IO_NA_B0	IO_NA_B1	IO_NA_A2	IO_NA_B4	VDD_NA	IO_NA_B7	IO_NB_B0	VDD_NB	IO_NB_A2	IO_NB_A4	VDD_NB	IO_NB_A7	IO_EB_A8	GND	IO_EB_A5	VDD_EB	B	
C	GND	VDD_WC	IO_WC_A7	IO_WC_B7	IO_NA_B2	IO_NA_A3	IO_NA_A5	IO_NA_A6	IO_NA_B8	IO_NB_B1	IO_NB_B3	IO_NB_B5	IO_NB_B6	IO_NB_B8	IO_EB_B7	IO_EB_B6	IO_EB_B4	IO_EB_A4	C	
D	IO_WC_A5	IO_WC_B5	IO_WC_A6	IO_WC_B6	VDD_WC	IO_NA_B3	IO_NA_B5	IO_NA_B6	IO_NA_B8	IO_NB_A1	IO_NB_A3	IO_NB_A5	IO_NB_A6	IO_NB_A8	IO_EB_A7	IO_EB_A6	IO_EB_B2	IO_EB_A2	D	
E	IO_WC_A3	IO_WC_B3	IO_WC_A4	IO_WC_B4	GND	VDD_NA	GND	VDD_NA	GND	VDD_NB	GND	VDD_NB	GND	VDD_EB	IO_EB_B3	IO_EB_A3	VDD_EB	GND	E	
F	GND	VDD_WC	IO_WC_A2	IO_WC_B2	VDD_WC	GND	VDD_NA	GND	VDD	GND	VDD_NB	GND	VDD_EB	GND	IO_EB_B1	IO_EB_A1	IO_EB_B0	IO_EB_A0	F	
G	IO_WC_A0	IO_WC_B0	IO_WC_A1	IO_WC_B1	GND	VDD	GND	VDD	GND	VDD	GND	VDD	GND	VDD_EA	IO_EA_B8	IO_EA_A8	IO_EA_B7	IO_EA_A7	G	
H	IO_WB_A7	IO_WB_B7	IO_WB_A8	IO_WB_B8	VDD_WB	GND	VDD	GND	VDD	GND	VDD	GND	VDD	GND	IO_EA_B6	IO_EA_A6	VDD_EA	GND	H	
J	GND	VDD_WB	IO_WB_A6	IO_WB_B6	GND	VDD	GND	VDD	GND	VDD	GND	VDD	GND	VDD_EA	IO_EA_B5	IO_EA_A5	IO_EA_B4	IO_EA_A4	J	
K	IO_WB_A5	IO_WB_B5	IO_WB_A4	IO_WB_B4	VDD_WB	GND	VDD	GND	VDD	GND	VDD	GND	VDD	GND	IO_EA_B3	IO_EA_A3	IO_EA_B2	IO_EA_A2	K	
L	IO_WB_A3	IO_WB_B3	IO_WB_A2	IO_WB_B2	GND	VDD	GND	VDD	GND	VDD	GND	VDD	GND	VDD_EA	IO_EA_B1	IO_EA_A1	VDD_EA	GND	L	
M	GND	VDD_WB	IO_WB_A1	IO_WB_B1	VDD_WB	GND	VDD	GND	VDD	GND	VDD	GND	VDD	IO_EA_B0	IO_EA_A0	GND	IO_SB_B3	IO_SB_B3	M	
N	IO_WB_A0	IO_WB_B0	IO_WA_A8	IO_WA_B8	VDD_WA	VDD	GND	VDD	GND	VDD	VDD_SB	GND	VDD_SB	IO_SB_B8	IO_SB_B8	N.C.	GND	VDD_SB	N	
P	IO_WA_A7	IO_WA_B7	VDD_WA	GND	VDD_WA	VDD_SA	GND	VDD_SA	GND	VDD_SA	IO_SB_A4	IO_SB_A7	IO_SB_B7	IO_SB_A6	IO_SB_B6	VDD_PLL	IO_SB_A2	IO_SB_B2	P	
R	IO_WA_A6	IO_WA_B6	IO_WA_A5	IO_WA_B5	IO_WA_A1	IO_SA_A1	IO_SA_A3	IO_SA_A4	IO_SA_A6	IO_SA_A7	GND	IO_SB_B4	IO_SB_B5	IO_SB_B6	VDD_SB	GND	IO_SB_A1	IO_SB_B1	R	
T	VDD_WA	IO_WA_A4	IO_WA_B4	GND	IO_WA_B0	IO_SA_B1	IO_SA_B2	IO_SA_B4	IO_SA_B6	IO_SA_B7	GND	SER_CLK	SER_CLK_N	SER_CLK	rst_N	VDD_SER_PL	GND	VDD_SB	T	
U	IO_WA_A3	IO_WA_B3	VDD_WA	IO_WA_A1	IO_SA_A0	VDD_SA	IO_SA_A3	IO_SA_A5	VDD_SA	IO_SA_A7	IO_SA_B0	SER_RX_P	VDD_SER	SER_TX_P	GND	GND	TEST_MODE	IO_SB_A0	IO_SB_B0	U
V	GND	IO_WA_A2	IO_WA_B2	IO_WA_B1	IO_SA_B0	GND	IO_SA_B3	IO_SA_B5	GND	IO_SA_B8	SER_RX_N	SER_Rterm	SER_TX_N	GND	POR_ADJ	GND	VDD_SER	GND	V	



GateMate™ Evaluation Board



Interfaces

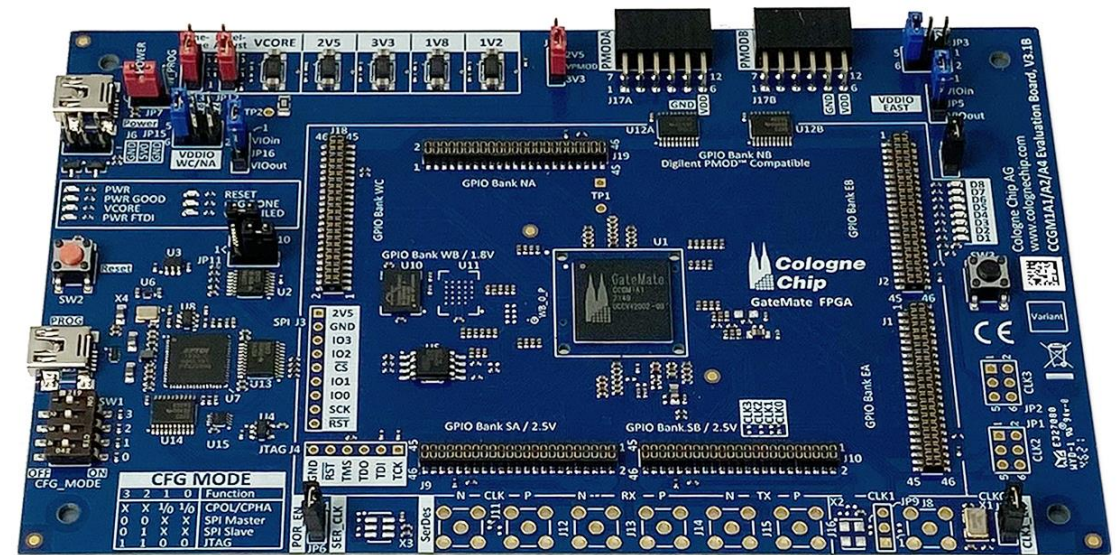
- Six I/O banks + access to SPI/JTAG signals
- Two standard 12-pin Pmod™ connectors
- One high-speed 2.5 Gb/s SerDes connector
- Access to all clock inputs
- Configuration via flash or on-board USB to SPI/JTAG bridge

Memory

- 64 Mbit Quad-I/O SPI flash
- Up to two HyperBus modules (HyperRAM / HyperFlash)

Power

- User-selectable core and I/O voltages

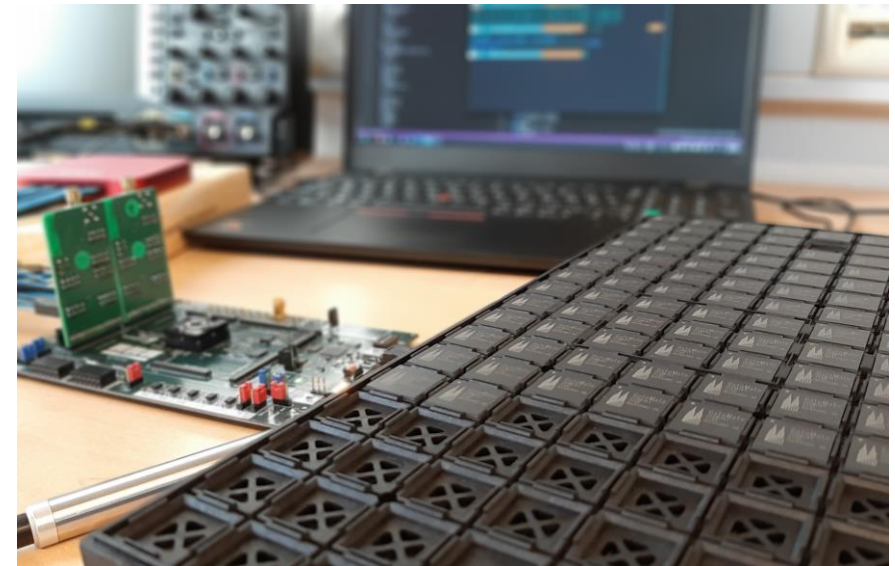


Fields of Application

for GateMate™ FPGA

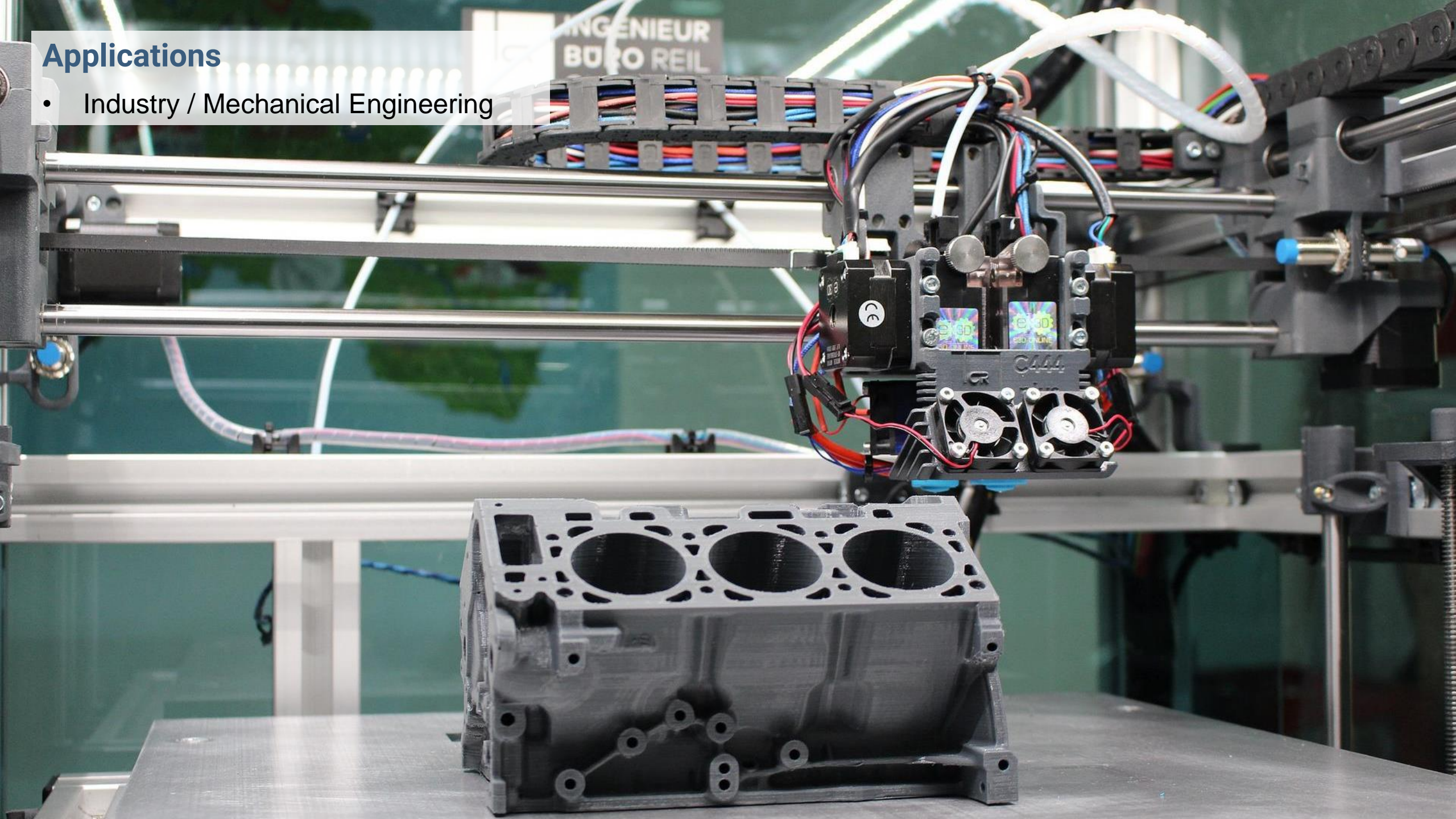
Possible areas of application

- Small to medium sized FPGAs
- Low-power FPGAs in mass-markets
- Discontinued FPGAs (e.g. Xilinx Spartan 3)
- Typical FPGAs that can be replaced
 - Xilinx: small Spartan series e.g. Spartan 6/7
 - Cyclone II, IV or V



Applications

- Industry / Mechanical Engineering



Applications

- Telecommunication / Networking technology



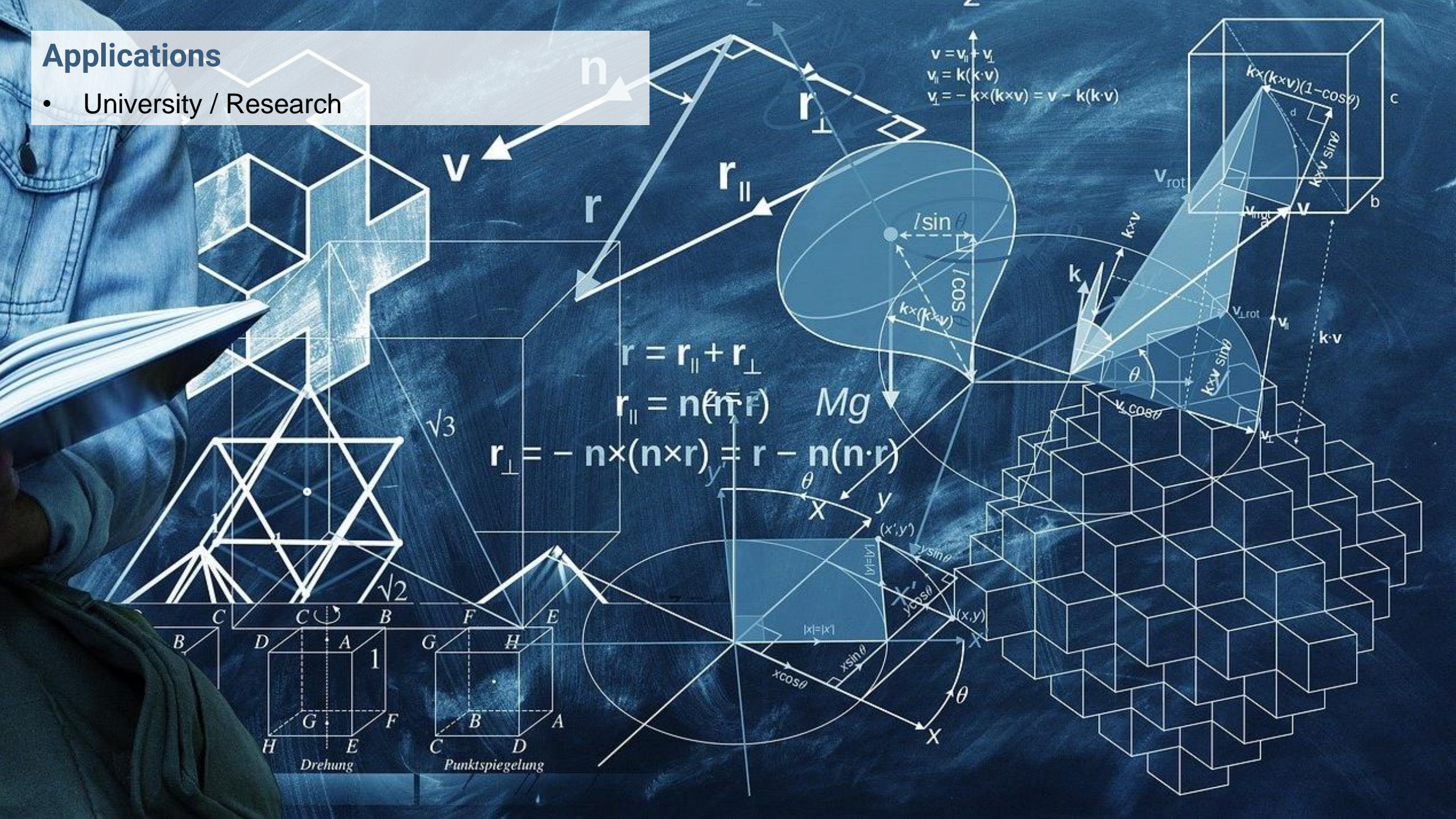
Applications

- Sensors and control technology



Applications

- University / Research



$$\begin{aligned} v &= v_{\parallel} + v_{\perp} \\ v_{\parallel} &= k(k \cdot v) \\ v_{\perp} &= -k \times (k \times v) = v - k(k \cdot v) \end{aligned}$$

$$\begin{aligned} r &= r_{\parallel} + r_{\perp} \\ r_{\parallel} &= n(n \cdot r) \\ r_{\perp} &= -n \times (n \times r) = r - n(n \cdot r) \end{aligned}$$



The smart semiconductor company

Quality and Service „Made in Germany“

Cologne Chip AG

Eintrachtstraße 113
50668 Köln

Tel. +49 221 9124 0

<https://www.colognechip.com>
sales@colognechip.com